

Family list

1 family member for:

JP2000156522

Derived from 1 application.

1 PHOTOELECTRIC CONVERTER

Publication info: **JP2000156522 A** - 2000-06-06

Data supplied from the **esp@cenet** database - Worldwide

THIS PAGE BLANK (USPTO)

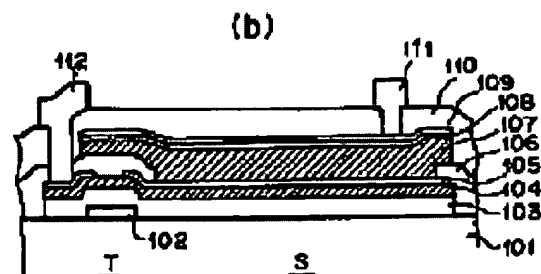
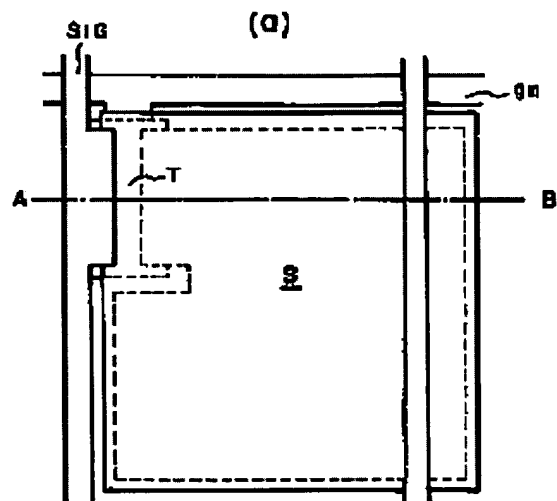
PHOTOELECTRIC CONVERTER

Patent number: JP2000156522
Publication date: 2000-06-06
Inventor: TASHIRO KAZUAKI
Applicant: CANON KK
Classification:
- International: *H01L27/146; H01L31/09; H01L31/108; H04N1/028; H04N5/335; H01L31/10; H01L27/146; H01L31/08; H01L31/102; H04N1/028; H04N5/335; H01L31/10; (IPC1-7): H01L31/10; H01L27/146; H01L31/09; H01L31/108; H04N1/028; H04N5/335*
- european:
Application number: JP19980329888 19981119
Priority number(s): JP19980329888 19981119

Report a data error here

Abstract of JP2000156522

PROBLEM TO BE SOLVED: To realize a photoelectric converter which can improve its sensitivity with simple steps and a low cost, by improving an open area ratio while securing a pattern accuracy and yield. **SOLUTION:** In the photoelectric converter having a photoelectric conversion element S having a photoelectric conversion part of a semiconductor layer 107, a switching element T and a wiring, at least on a substrate 101; at least the semiconductor layer 107 is extended on the switching element T as a light shielding layer. With it, the sensor part S can be laminated on the transfer part T and a full scale of pixel area can be used as a window, thus improving an open area ratio. In the thin-film transistor part T, the semiconductor layer can be used also as a light shielding material and be formed by the same process, the converter can be realized inexpensively. Since the common semiconductor layer is used for electrodes of the sensor and thin-film transistor, manufacturing steps can be simplified.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-156522

(P2000-156522A)

(43) 公開日 平成12年6月6日(2000.6.6)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 31/10		H 0 1 L 31/10	A 4 M 1 1 8
27/146		H 0 4 N 1/028	Z 5 C 0 2 4
31/09		5/335	U 5 C 0 6 1
31/108		H 0 1 L 27/14	C 5 F 0 4 9
H 0 4 N 1/028		31/00	A 5 F 0 8 8

審査請求 未請求 請求項の数10 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願平10-329888

(22) 出願日 平成10年11月19日(1998.11.19)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 田代 和昭

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74) 代理人 100065385

弁理士 山下 義平

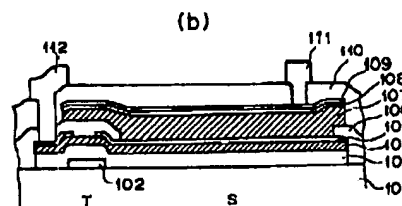
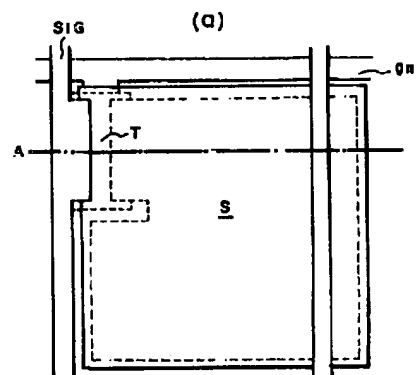
最終頁に続く

(54) 【発明の名称】 光電変換装置

(57) 【要約】

【課題】 パターン精度や、歩留を確保しつつ、開口率を稼ぐことにより、感度をより向上させた光電変換装置を、簡単な工程で、低コストで実現する。

【解決手段】 基板101上に少なくとも、半導体層107からなる光電変換部を有する光電変換素子Sと、スイッチング素子Tと、配線とを有する光電変換装置において、少なくとも前記半導体層107は、前記スイッチング素子T上に遮光層として延在することを特徴とする光電変換装置。本発明によれば、センサ部Sを転送部Tの上に積層し、画素一杯の面積を窓として利用することで開口率を向上し、薄膜トランジスタ部Tでは、半導体層と遮光材を兼用し、同一プロセスで作製できるため、安価に実現でき、また、共通の半導体層をセンサと薄膜トランジスタの電極に適用することにより、工程の簡略化を行うことができる。



【特許請求の範囲】

【請求項1】 基板上に、少なくとも、半導体層からなる光電変換部を有する光電変換素子と、スイッチング素子と、配線とを有する光電変換装置において、少なくとも前記半導体層は、前記スイッチング素子上に延在することを特徴とする光電変換装置。

【請求項2】 基板上に、少なくとも、半導体層からなる光電変換部と下層の電極を有する光電変換素子と、スイッチング素子と、配線とを有する光電変換装置において、

前記下層の電極の少なくとも一部と前記スイッチング素子の電極が、同一工程で作製した同一部材からなることを特徴とする請求項1記載の光電変換装置。

【請求項3】 前記同一部材が、半導体層からなることを特徴とする請求項2記載の光電変換装置。

【請求項4】 前記同一部材がN型(P型)非単結晶シリコン半導体層であることを特徴とする請求項1～3のいずれかに記載の光電変換装置。

【請求項5】 前記光電変換部が少なくともP型(N型)非単結晶シリコン半導体層、I型非単結晶シリコン半導体層からなる光電変換素子であり、前記電極の同一部材がN型(P型)非単結晶シリコン半導体層であることを特徴とする請求項1～3のいずれかに記載の光電変換装置。

【請求項6】 前記光電変換部が、少なくともP型非単結晶シリコン半導体層、I型非単結晶シリコン半導体層、N型非単結晶シリコン半導体層からなる光電変換素子であることを特徴とする請求項1～3のいずれかに記載の光電変換装置。

【請求項7】 前記光電変換部が、少なくともショットキー接合を有する非単結晶シリコン半導体層からなる光電変換素子であることを特徴とする請求項1～3のいずれかに記載の光電変換装置。

【請求項8】 前記光電変換素子が、光電変換のための半導体層と、少なくとも前記光電変換のための半導体層への第1導電型のキャリアの注入を阻止する注入素子層を有する最下層の第1の電極と、第1導電型のキャリアおよび第1導電型と異なる第2導電型のキャリアの通過を阻止する絶縁層と、第2の電極とを積層した光電変換素子であり、

前記スイッチング素子が、前記光電変換素子のリフレッシュ動作では、前記第1導電型のキャリアを、前記光電変換半導体層から前記第1の電極に導く方向に、前記光電変換素子に電界を与え、

光電変換動作では、前記光電変換半導体層に入射した光により発生した前記第1導電型のキャリアを前記光電変換半導体層内に留ませ、前記第2導電型のキャリアを前記第1の電極に導く方向に、前記光電変換素子に電界を与え、前記光電変換動作により前記光電変換半導体層に蓄積される前記第1のキャリアもしくは前記第1の電

極に導かれた第2導電型のキャリアを光信号として検出するように制御するスイッチング素子であることを特徴とする請求項1～3のいずれかに記載の光電変換装置。

【請求項9】 前記光電変換素子が、少なくとも、第1の電極と、第1導電型のキャリアおよび第1導電型と異なる第2導電型のキャリアの通過を阻止する絶縁層と、光電変換のための半導体層と、前記光電変換のための半導体層への第1導電型のキャリアの注入を阻止する注入素子層とを積層した光電変換素子と、

前記スイッチング素子が、前記光電変換素子のリフレッシュ動作では、前記第1導電型のキャリアを前記光電変換半導体層から前記第1の電極に導く方向に、前記光電変換素子に電界を与え、

光電変換動作では、前記光電変換半導体層に入射した光により発生した前記第1導電型のキャリアを前記光電変換半導体層内に留ませ、前記第2導電型のキャリアを前記第1の電極に導く方向に、前記光電変換素子に電界を与え、前記光電変換動作により前記光電変換半導体層に蓄積される前記第1のキャリアもしくは前記第1の電極に導かれた第2導電型のキャリアを光信号として検出するように制御するスイッチング素子であることを特徴とする請求項1～3のいずれかに記載の光電変換装置。

【請求項10】 少なくとも前記光電変換素子と前記スイッチング素子と配線で画素を形成し、複数個の前記画素を2次元に配列したことを特徴とする請求項1～9のいずれかに記載の光電変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ファクシミリ、スキャナ等に用いられる光電変換装置に係わり、特に、最近ではX線等の放射線画像を読み取るために用いられる高性能大面積の2次元光電変換装置に関する。

【0002】

【従来の技術】光電変換装置は、従来コンピューターなどのスキャナ等に用いられているが、特に、最近では新たな応用として、大面積2次元の光電変換装置が医療用に提案され、開発されてきている。例えば、胸部撮影用のX線検出装置を作製する場合、2次元の光電変換装置にX線を可視光に変換するための蛍光板を組み合わせ大判のデジタルX線検出装置などが提案されている。

【0003】このような大面積2次元の光電変換装置としては、非晶質シリコンからなるMIS型センサやホトダイオード型センサ、また薄膜トランジスタ等を基板上に、2次元に配置したものが使われる。なお、本発明において、非単結晶シリコンとは、非晶質シリコン、微結晶シリコン、多結晶シリコンを含んだものとする。

【0004】図11(a)は、従来の光電変換装置の1画素分の平面図を示す。図11(b)は図11(a)のA-Bの断面図を示し、MIS型光センサS、スイッチング部としての駆動薄膜トランジスタTで構成されてい

る。

【0005】図11において、1101はガラス基板、1102はセンサ下電極、1103はゲート電極、1104はゲート絶縁膜、1105は半導体層、1106はN⁺型層、1107はドレイン電極、1108はソース電極、1109は絶縁層、Sは光電変換素子、Tは薄膜トランジスタである。

【0006】さらにSIGは信号配線、gは薄膜トランジスタのゲート線、D、GはそれぞれMISセンサの上電極、下電極を示す。光によりセンサSで発生した電荷は、薄膜トランジスタを通して、不図示の読み出し回路で読み出される。センサSと薄膜トランジスタTは同一の半導体層を利用しているので、画素中、薄膜トランジスタ領域は、センサの開口率を減らす原因となっている。

【0007】また、図12(a)は、別の従来の光電変換装置の1画素分の平面図を示し、図12(b)は、図12(a)のA-Bの断面図を示す。図中、センサとして水素化非晶質シリコンのPIN型ホトダイオードS、スイッチング部としての水素化非晶質シリコン半導体層を用いた薄膜トランジスタTで構成されている。

【0008】図12において、1201はガラス基板、1202はセンサ下電極、1203、1212はN⁺型層、1204、1211は半導体層、1205はP⁺型層、1206はITO、1207は層間絶縁層、1208は共通配線、1210はゲート絶縁膜、1213はドレイン電極、1214はソース電極、Sは光電変換素子、Tは薄膜トランジスタである。

【0009】さらにSIGは信号配線、gは薄膜トランジスタのゲート配線、Eはホトダイオードの共通電極を示す。光によりホトダイオードSで発生した電荷は、薄膜トランジスタTを通して、不図示の読み出し回路で、読み出される。

【0010】この従来例では、まず薄膜トランジスタを作製したのち、PIN型のセンサを積層する形で作製する。そのため半導体層の成膜回数が多くなる。また電極層も薄膜トランジスタのゲート電極層、ソース・ドレイン電極とセンサ下電極層、センサ上の透明電極層、センサ共通電極層と4層の電極層が必要になっていた。

【0011】

【発明が解決しようとする課題】従来の光電変換装置では、センサと薄膜トランジスタを一画素内に配列するので、パターン精度や、歩留を確保しつつ50%以上の開口率を稼ぐことが難しく、その結果、感度をより向上させることができなかった。

【0012】また、従来の光電変換素子にPIN型ホトダイオードを採用し、これと薄膜トランジスタを組み合わせた構造では積層構造が避けられず、工程が複雑になりコストが高くなるなどの問題があった。

【0013】【発明の目的】本発明の目的は、パターン

精度や、歩留を確保しつつ50%以上の開口率を稼ぐことにより、感度をより向上させた光電変換装置を、簡単な工程で、低コストで実現することにある。

【0014】

【課題を解決するための手段】本発明は、前記課題を解決するための手段として、基板上に、少なくとも、半導体層からなる光電変換部を有する光電変換素子と、スイッチング素子と、配線とを有する光電変換装置において、少なくとも前記半導体層は、前記スイッチング素子上に延在することを特徴とする光電変換装置を提供するものである。

【0015】また、基板上に、少なくとも、半導体層からなる光電変換部と下層の電極を有する光電変換素子と、スイッチング素子と、配線とを有する光電変換装置において、前記下層の電極の少なくとも一部と前記スイッチング素子の電極が、同一工程で作製した同一部材からなることを特徴とする光電変換装置でもある。

【0016】また、前記同一部材が、半導体層からなることを特徴とする光電変換装置でもある。

【0017】また、前記同一部材がN型(P型)非単結晶シリコン半導体層であることを特徴とする光電変換装置でもある。

【0018】また、前記光電変換部が少なくともP型(N型)非単結晶シリコン半導体層、I型非単結晶シリコン半導体層からなる光電変換素子であり、前記電極の同一部材がN型(P型)非単結晶シリコン半導体層であることを特徴とする光電変換装置でもある。

【0019】また、前記光電変換部が、少なくともP型非単結晶シリコン半導体層、I型非単結晶シリコン半導体層、N型非単結晶シリコン半導体層からなる光電変換素子であることを特徴とする光電変換装置でもある。

【0020】また、前記光電変換部が、少なくともショットキー接合を有する非単結晶シリコン半導体層からなる光電変換素子であることを特徴とする光電変換装置でもある。

【0021】また、前記光電変換素子が、光電変換のための半導体層と、少なくとも前記光電変換のための半導体層への第1導電型のキャリアの注入を阻止する注入素子を有する最下層の第1の電極と、第1導電型のキャリアおよび第1導電型と異なる第2導電型のキャリアの通過を阻止する絶縁層と、第2の電極とを積層した光電変換素子であり、前記スイッチング素子が、前記光電変換素子のリフレッシュ動作では、前記第1導電型のキャリアを、前記光電変換半導体層から前記第1の電極に導く方向に、前記光電変換素子に電界を与え、光電変換動作では、前記光電変換半導体層に入射した光により発生した前記第1導電型のキャリアを前記光電変換半導体層内に留まらせ、前記第2導電型のキャリアを前記第1の電極に導く方向に、前記光電変換素子に電界を与え、前記光電変換動作により前記光電変換半導体層に蓄積され

る前記第1のキャリアもしくは前記第1の電極に導かれた第2導電型のキャリアを光信号として検出するように制御するスイッチング素子であることを特徴とする光電変換装置でもある。

【0022】また、前記光電変換素子が、少なくとも、第1の電極と、第1導電型のキャリアおよび第1導電型と異なる第2導電型のキャリアの通過を阻止する絶縁層と、光電変換のための半導体層と、前記光電変換のための半導体層への第1導電型のキャリアの注入を阻止する注入素子層とを積層した光電変換素子と、前記スイッチング素子が、前記光電変換素子のリフレッシュ動作では、前記第1導電型のキャリアを前記光電変換半導体層から前記第1の電極に導く方向に、前記光電変換素子に電界を与え、光電変換動作では、前記光電変換半導体層に入射した光により発生した前記第1導電型のキャリアを前記光電変換半導体層内に留まらせ、前記第2導電型のキャリアを前記第1の電極に導く方向に、前記光電変換素子に電界を与え、前記光電変換動作により前記光電変換半導体層に蓄積される前記第1のキャリアもしくは前記第1の電極に導かれた第2導電型のキャリアを光信号として検出するように制御するスイッチング素子であることを特徴とする光電変換装置でもある。

【0023】また、少なくとも前記光電変換素子と前記スイッチング素子と配線で画素を形成し、複数個の前記画素を2次元に配列したことを特徴とする光電変換装置でもある。

【0024】

【作用】本発明によれば、センサ部を転送部の上に積層し、画素一杯の面積を窓として利用することで開口率を向上し、光の利用を最大限にすることができる。

【0025】また、薄膜トランジスタ部では、センサ部の半導体層を遮光材としてを兼用し、同一のプロセスで作製できるため、効果的に、安価に実現できる。

【0026】また、共通の半導体層をセンサと薄膜トランジスタの電極に適用することにより、工程の簡略化を行うことができる。

【0027】

【実施例】【実施例1】PINホトダイオード型センサと薄膜トランジスタの形態の2次元の光電変換装置の実施例について、以下に説明する。

【0028】【構成】図1に、本発明になる第1の実施例を示す。図1(a)は、光電変換装置の1画素分の平面図を示す。図1(b)は図1(a)のA-Bの断面図を示す。ホトダイオード型光センサS、スイッチング部としての薄膜トランジスタTで構成されている。本実施例では、光電変換素子は、水素化非晶質シリコンを用いたPIN型ホトダイオードである。

【0029】図1において、101はガラス基板、102はゲート電極、103はゲート絶縁膜、104は半導体層、105はN⁺型層、106は層間絶縁膜、107

は半導体層、108はP⁺型層、109はITO、110は層間絶縁層、111は共通配線、112、SIGは信号線、gnはゲート線、Sは光電変換素子、Tは薄膜トランジスタである。

【0030】半導体層107については、適宜非単結晶シリコンあるいはその化合物などから材料を選んで作成することができる。本実施例ではP型層108、N型層105に関しては、よりP型化、N型化を進めるために、水素化微結晶シリコンを利用している。薄膜トランジスタも活性層104としては水素化非晶質シリコンを用いて形成されているが、多結晶シリコンなどの材料を用いて高速な薄膜トランジスタを使ってもよい。

【0031】また、本実施例においては、薄膜トランジスタのソース、ドレイン電極はN⁺型水素化微結晶シリコン層105を代用した。よってN⁺型水素化微結晶シリコン層105は半導体とのオーミック接続の機能と電極としての機能を合せ持つことになる。さらに本実施例では、このN⁺型水素化微結晶シリコン層105はPIN型ホトダイオードの下電極としての機能とPIN接合を作るための機能を持つことになる。

【0032】図2は、この光電変換装置1画素の等価回路を示す。SIGは信号線である。gnは薄膜トランジスタのゲート配線を示す。光によりセンサSで発生した電荷は、薄膜トランジスタを通して、不図示の読み出し回路で読み出す。ここでは1画素についての場合であるが、実際にはこの画素を複数個2次元に配列し、2次元の大面積光電変換装置を構成している。ホトダイオードと薄膜トランジスタの組み合わせによる回路構成は従来のものと同じであり、駆動方法等についても従来のものと同じである。

【0033】【製造方法】本発明を適用した光電変換装置を以下の方法により作製した。

【0034】まず薄膜トランジスタ部を作製する。

【0035】1. 洗浄ガラス基板101上に、スパッタ法によりクロムを500Å成膜する。

【0036】このクロム上に、所望の形状にフォトリソのパターンを形成して、これをマスクにクロムのエッチングを行い、その後フォトリソを剥離して、薄膜トランジスタのゲート電極102とした。

【0037】2. 次に、この上に、SiH₄ガス、NH₃ガス、H₂ガスを使ってプラズマCVDにより水素化非晶質窒化シリコン層103を2000Å形成した。引き続きSiH₄ガス、H₂ガスを使いプラズマCVDにより水素化非晶質シリコン層104を1000Å形成した。さらにSiH₄ガス、PH₃ガス、H₂ガスを使ってプラズマCVDによりN⁺型微結晶シリコン層105を500Å形成した。本実施例では、電極部でのオーミック特性を完全なものにするために、燐ドーピングの量を増やし、微結晶化を進めたN⁺型とした。

【0038】3. ホトリソ工程によりアイソレーション

(薄膜トランジスタのソース、ドレイン部、配線の土台部、センサの土台部)のフォトレジストパターンを作成し、ドライエッチングにより水素化非晶質窒化シリコン層、水素化非晶質シリコン層、 N^+ 型水素化微結晶シリコン層を一部除去し、フォトレジスト剥離洗浄後アイソレーションを行った。

【0039】4. 然る後、薄膜トランジスタのチャンネル部を形成するためのフォトレジストパターンニングを施し、エッチングを行い、フォトレジスト剥離洗浄後、薄膜トランジスタのチャンネルを作成した。

【0040】5. 次にこの上に、 SiH_4 ガス、 NH_3 ガス、 H_2 ガスを使ってプラズマCVDにより水素化非晶質窒化シリコン層106を2000Å形成した。

【0041】6. ホトリソ工程により薄膜トランジスタのソース、ドレイン電極、センサの下電極へのコンタクト用のフォトレジストパターンを作成し、ドライエッチングにより水素化非晶質窒化シリコン層を一部除去した。

【0042】7. 次にこの上に光電変換素子(PIN型ホトダイオード)を作製する。本実施例では光電変換素子の下電極かつPIN接合形成のためのN型層として、既に作成されている薄膜トランジスタの N^+ 型水素化微結晶シリコン層を利用する。

【0043】8. まず水素化非晶質窒化シリコン層上のコンタクトホールを通して露出している N^+ 型水素化微結晶シリコン層の表面を H_2 ガスあるいは $H_2 + PH_3$ ガスのプラズマを用いて表面活性化処理を行う。コンタクトホールを通して露出している N^+ 型水素化微結晶シリコン層の表面は、コンタクトホール形成後、一旦大気に晒される。この大気暴露の時間が長いと、この露出した N^+ 型水素化微結晶シリコン層の表面に酸化膜が形成されたり、汚染されたりするおそれがある。そこで、この工程により、 N^+ 型水素化微結晶シリコン層の表面の酸化膜を還元除去、またはエッチング除去後水素によりダングリングボンド欠陥を終端し、清浄な表面を形成することで、次に成膜する膜との界面形成を良好、確実なものにする。

【0044】この上に SiH_4 ガス、 H_2 ガスを使いプラズマCVDにより水素化非晶質シリコン層107を5000Å形成した。さらに SiH_4 ガス、 B_2H_6 ガス、 H_2 ガスを使ってプラズマCVDにより P^+ 型水素化微結晶シリコン層108を500Å形成した。この P^+ 型水素化微結晶シリコン層はボロンのドーピング量を増やし、微結晶化を進めて、PIN接合を形成するに十分な P^+ 化と、電極としての低抵抗化を実現した。

【0045】9. 引き続き、透明導電膜としてITO(Indium Tin Oxide)109を、蒸着法により2000Å作成した。

【0046】10. 次に所望の形状にフォトレジストのパターンを形成して、これをマスクにITOのエッチ

グを行い、その後フォトレジストをマスクにして、エッチングを行い、フォトレジスト剥離洗浄後、光電変換素子の電極とした。

【0047】11. ホトリソ工程によりセンサアイソレーションのフォトレジストパターンを作成し、ドライエッチングにより P^+ 型水素化微結晶シリコン層、水素化非晶質シリコン層を一部除去し、フォトレジスト剥離洗浄後、光電変換素子のアイソレーション形成を行った。

【0048】12. 引き続き、 SiH_4 ガス、 NH_3 ガス、 H_2 ガスを使ってプラズマCVDにより層間絶縁層として水素化非晶質窒化シリコン層110を5000Å形成した。

【0049】13. ホトリソ工程によりコンタクトホール用のフォトレジストパターンを作成し、ドライエッチングにより層間絶縁層の水素化非晶質窒化シリコン層を一部除去し、フォトレジスト剥離洗浄後、コンタクトホールの形成を行った。

【0050】14. その上にスパッタ法によりアルミ(Al)を1μm成膜した。

【0051】15. 然る後、このアルミ(Al)を所望の形状にフォトレジストパターンニングを施し、エッチングを行い、フォトレジスト剥離洗浄後、信号線112と、光電変換素子の共通電極用配線111を作成した。

【0052】16. 最後に保護層(不図示)を設けた。

【0053】[作用、効果]本実施例ではセンサとしてPIN型のホトダイオードSを薄膜トランジスタT上に積層する。かつ薄膜トランジスタTの電極を N^+ 型水素化微結晶シリコン層105で代用させ、さらにこの N^+ 型水素化微結晶シリコン層105をホトダイオードの N^+ 型水素化微結晶シリコン層と同一層とした。 N^+ 型水素化微結晶シリコン層105は、薄膜トランジスタの半導体層104とのオーミック接続の機能と電極としての機能、さらにPIN型ホトダイオードの下電極としての機能とPIN接合を作るための機能を合せ持つことになる。

【0054】この構造をとることにより、センサ、薄膜トランジスタとして十分な機能を発揮しながらも、従来電極としての金属層を3層作成する必要があったものを2層に減らすことができた。また N^+ 型水素化微結晶シリコン半導体層の成膜も一回ですますことができた。

【0055】また、本実施例は、積層型であるので薄膜トランジスタとホトダイオードの最適設計を各個に行うことができるので、最大限の特性を発揮させることができた。

【0056】本実施例になる構造の採用により、従来50%以下だった開口率は70%以上を確保することができるようになり、その結果、感度は1.4倍以上になった。本実施例では薄膜トランジスタT上に延在する半導体層107の下には、全面にわたってセンサの下電極が存在する構造にはなっていないが、この領域で吸収され

た光によって発生したキャリアは、消滅することなく、十分そもそのセンサの下電極に集められているものと考えられる。感度が向上したために、この光電変換装置を医療用X線検出装置に利用する場合、より少ないX線線量で、良質の画像を得ることができるようになった。さらに入射した光は半導体層107で完全に吸収されるので、実質的に薄膜トランジスタは完全に遮光された形になり、光入射による薄膜トランジスタのリーク電流増加はなくなった。その結果クロストークを低減し、良質な画像を得ることができた。

【0057】本実施例の構造と製造方法により製造上のコストの上昇を押さえつつ、より高品質な光電変換装置を作製することができた。

【0058】本実施例ではN⁺型水素化微結晶シリコンをセンサと薄膜トランジスタで兼用する構成をとったが、薄膜トランジスタの構造を電子ではなくホールを利用する構造として、P⁺型水素化微結晶シリコンをセンサと共用する構成とすることもできる。また十分な特性を得られるならば、これら水素化微結晶シリコンを用いることに限定されない。

【0059】〔実施例2〕本実施例では、PINホトダイオード型センサと薄膜トランジスタの形態の2次元の光電変換装置でITO無しの例について、説明する。

【0060】〔構成〕図3に本発明になる第2の実施例を示す。図3(a)は光電変換装置の1画素分の平面図を示す。図3(b)は図3(a)のA-Bの断面図を示す。光電変換素子は水素化非晶質シリコンを用いたPIN型ホトダイオードS、スイッチング部としての薄膜トランジスタTで構成されている。

【0061】図3において、301はガラス基板、302はゲート電極、303はゲート絶縁膜、304は半導体層、305はN⁺型層、306は層間絶縁層、307は半導体層、308はP⁺型層、309は層間絶縁層、310は共通配線、311は信号線、SIGは信号線、Sは光電変換素子、Tは薄膜トランジスタ、gnはゲート線である。

【0062】薄膜トランジスタTは、水素化非晶質シリコンを用いて形成されているが、多結晶シリコンなどの材料を用いて高導電薄膜トランジスタを使ってもよい。

【0063】また光電変換素子の半導体層は非単結晶シリコンやその化合物などから適宜選択して用いることができる。

【0064】本実施例においては、実施例1の作製プロセスを更に簡略化するために、ホトダイオードの上電極であるITOの代わりにP⁺型水素化微結晶シリコン層をそのまま窓層と電極層を兼用させることで、ITOの成膜、パターニング工程をなくすことができた。

【0065】〔製造方法〕基本的に、実施例1と同様のプロセスにより作製する。本実施例での特徴的な部分の説明を行う。

【0066】実施例1と同じプロセスで薄膜トランジスタを作製した基板の上に、センサ部を作製する。水素化非晶質窒化シリコン層上のコンタクトホールを通して露出しているN⁺型水素化微結晶シリコン層の表面をH₂ガスのプラズマを用いて表面活性化処理を行う。こうすることにより次に成膜する膜との界面形成を確実なものにする。この上にSiH₄ガス、H₂ガスを使いプラズマCVDにより水素化非晶質シリコン層307を5000Å形成した。さらにSiH₄ガス、B₂H₆ガス、H₂ガスを使ってプラズマCVDによりP⁺型水素化微結晶シリコン層308を500Å形成した。本実施例では特にこのP⁺型水素化微結晶シリコン層308を電極層と窓層として用いるため、極力抵抗の低い条件で作製した。こうすることにより、薄くて光の透過性が良く、しかも電極として十分抵抗が低い膜を得ることができる。

【0067】ホトリソ工程によりセンサアイソレーションのフォトレジストパターンを作成し、ドライエッチングによりP⁺型水素化微結晶シリコン層、水素化非晶質シリコン層を一部除去し、フォトレジスト剥離洗浄後、光電変換素子のアイソレーション形成を行った。

【0068】引き続きSiH₄ガス、NH₃ガス、H₂ガスを使ってプラズマCVDにより層間絶縁層として水素化非晶質窒化シリコン層309を5000Å形成した。

【0069】ホトリソ工程によりコンタクトホール用のフォトレジストパターンを作成し、ドライエッチングにより層間絶縁層の水素化非晶質窒化シリコン層309を一部除去し、フォトレジスト剥離洗浄後、コンタクトホールの形成を行った。本実施例では、材料の性質により敏感にエッチング特性を制御できるケミカルドライエッチングを用い、コンタクトホールを作製した。水素化非晶質窒化シリコン層とP⁺型層、N⁺型層とのエッチングの選択性を用いて、センサ上部、薄膜トランジスタ電極部でのオーバーエッチングを極力減らすことができた。

【0070】その上にスパッタ法によりアルミ(Al)を1μm成膜した。

【0071】然る後、このアルミ(Al)を所望の形状にフォトレジストパターニングを施し、エッチングを行い、フォトレジスト剥離洗浄後、信号線311と、光電変換素子の共通電極用配線310を作成した。

【0072】〔作用、効果〕本実施例ではセンサとしてPIN型のホトダイオードを薄膜トランジスタ上に積層する。かつ薄膜トランジスタの電極をN⁺型水素化微結晶シリコン層で代用させ、さらにこのN⁺型水素化微結晶シリコン層をホトダイオードの下電極、PIN接合形成のためのN型層としての機能を持たせた同一層とした。

【0073】この構造をとることにより、従来電極としての金属層を3層作成する必要があったのが2層に減ら

することができた。またN⁺型水素化微結晶シリコン半導体層の成膜も一回ですますことができた。本実施例はまた積層型であるので薄膜トランジスタとホトダイオードの各個に最適設計を行うことができるので、最大限の特性を実現できた。

【0074】これらの構造により、従来50%以下だった開口率は70%以上を確保することができるようになり、その結果感度は1.4倍以上になった。本実施例においても、薄膜トランジスタ上に延在する半導体層で吸収された光によって発生したキャリアは、センサの光キャリアとして十分利用されているものと思われる。感度が向上したために、この光電変換装置を医療用X線検出装置に利用する場合、より少ないX線線量で、良質の画像を得ることができるようになった。さらに入射した光は半導体層で完全に吸収されるので、実質的に薄膜トランジスタは完全に遮光された形になり、光入射による薄膜トランジスタのリーク電流増加はなくなった。その結果クロストークを低減し、良質な画像を得ることができた。

【0075】さらに本実施例では、センサのP⁺型水素化微結晶シリコン半導体層308をPIN接合形成のためのP型層と電極と窓層とすることで、ITOの成膜とパターニングの工程をなくし、実施例1より更に簡略化されてプロセスを実現することができた。本実施例の構造と製造方法により製造上のコストの上昇を抑えつつ、より高品質な光電変換装置を作製することができた。

【0076】本実施例においては薄くても十分抵抗が低いP型水素化微結晶シリコン層を用いることで、光の損失を減らすようにしたが、窓層としてより光吸収係数が小さくなる、バンドギャップの広く、かつ抵抗も低いP⁺型水素化微結晶炭素化シリコン等を用いることもできる。

【0077】本実施例では、N⁺型水素化微結晶シリコン305をセンサと薄膜トランジスタで兼用する構成をとったが、薄膜トランジスタの構造を電子ではなくホールを利用する構造として、P⁺型水素化微結晶化シリコンをセンサと共用する構成とすることもできる。また十分な特性を得られるならば、これら水素化微結晶シリコンを用いることに限定されない。

【0078】〔実施例3〕本実施例では、PINホトダイオード型センサ+薄膜トランジスタ形態の2次元の光電変換装置において、N層を2回成膜する例について、説明する。

【0079】〔構成〕図4に本発明になる第3の実施例を示す。図4(a)は光電変換装置の1画素分の平面図を示す。図4(b)は図4(a)のA-Bの断面図を示す。光電変換素子は水素化非晶質シリコンを用いたPIN型ホトダイオードS、光電変換素子駆動部としての薄膜トランジスタTで構成されている。

【0080】図4において、401はガラス基板、402はゲート電極、403はゲート絶縁層、404は半導体層、405、407はN⁺型層、406、411は層間絶縁層、408は半導体層、409はP⁺型層、410はITO、412は共通配線、413は信号線、Sは光電変換素子、Tは薄膜トランジスタ、gnはゲート線、SIGは信号線である。

【0081】薄膜トランジスタは水素化非晶質シリコンを用いて形成されているが、多結晶シリコンなどの材料を用いて高速な薄膜トランジスタを使ってもよい。また光電変換素子の半導体層は非単結晶シリコンやその化合物などから適宜選択して用いることができる。

【0082】本実施例においては、従来金属層で薄膜トランジスタの上電極と、センサの下電極を共有させていたものを、薄膜トランジスタのN⁺型水素化微結晶シリコン405と、センサのN⁺型水素化微結晶シリコン407を互いに直接積層させることで、接続した。

【0083】〔製造方法〕基本的に、実施例1と同様のプロセスにより作製する。本実施例での特徴的な部分の説明を行う。

【0084】実施例1と同じプロセスで薄膜トランジスタを作製した基板の上に、センサ部を作製する。水素化非晶質窒化シリコン層上のコンタクトホールを通して露出しているN⁺型水素化微結晶シリコン層405上に、SiH₄ガス、PH₃ガス、H₂ガスを使ってプラズマCVDによりN⁺型微結晶非晶質シリコン層407を500Å形成した。本実施例では、薄膜トランジスタのN⁺型水素化微結晶シリコン層405とセンサのN⁺型水素化微結晶シリコン層407で接続を形成するので、接合不良を起こすこともなく、薄膜トランジスタのN⁺型水素化微結晶シリコン層405の表面をH₂ガスのプラズマを用いて表面活性化処理を行う工程をあえていれる必要はない。引き続き連続してSiH₄ガス、H₂ガスを使いプラズマCVDにより水素化非晶質シリコン層408を5000Å形成した。さらにSiH₄ガス、B₂H₆ガス、H₂ガスを使ってプラズマCVDによりP⁺型水素化微結晶シリコン層409を500Å形成した。さらに蒸着によりITO410を成膜した。

【0085】ホトリソ工程によりセンサアイソレーションのフォトレジストパターンを作成し、エッチングによりITO、P⁺型水素化微結晶シリコン層、水素化非晶質シリコン層、N⁺型水素化微結晶シリコン層を一部除去し、フォトレジスト剥離洗浄後、光電変換素子のアイソレーション形成を行った。

【0086】引き続きSiH₄ガス、NH₃ガス、H₂ガスを使ってプラズマCVDにより層間絶縁層として水素化非晶質窒化シリコン層411を5000Å形成した。

【0087】ホトリソ工程により、コンタクトホール用のフォトレジストパターンを作成し、ドライエッチング

により層間絶縁層の水素化非晶質窒化シリコン層を一部除去し、フォトレジスト剥離洗浄後、コンタクトホール形成を行った。本実施例では、材料の性質により敏感にエッチング特性を制御できるケミカルドライエッチングを用い、コンタクトホールを作製した。

【0088】その上にスパッタ法によりアルミ(A1)を1 μ m成膜した。

【0089】然る後、このアルミ(A1)を所望の形状にフォトレジストパターニングを施し、エッチングを行い、フォトレジスト剥離洗浄後、信号線413と、光電変換素子の共通電極用配線412を作成した。

【0090】【作用、効果】本実施例ではセンサとしてPIN型のホトダイオードを薄膜トランジスタ上に積層する。かつ薄膜トランジスタの電極をN⁺型水素化微結晶シリコン層405で代用させ、さらにこのN⁺型水素化微結晶シリコン層405上に、ホトダイオードのPIN接合形成のためのN⁺型水素化微結晶シリコン層407を形成した。

【0091】この構造をとることにより、従来電極としての金属層を3層作成する必要があったのが2層に減らすことができた。またN⁺型水素化微結晶シリコン半導体層同士(405と407)で接続をするので、膜形成時の界面状態を良好なものにすることができた。本実施例はまた積層型であるので薄膜トランジスタとホトダイオードの各個に最適設計を行うことができるので、最大限の特性を実現できた。

【0092】これらの構造により、従来50%以下だった開口率は70%以上を確保することができるようになり、その結果、感度は1.4倍以上になった。本実施例においても、薄膜トランジスタ上に延在する半導体層で吸収された光によって発生したキャリアは、センサの光キャリアとして十分利用されているものと思われる。感度が向上したために、この光電変換装置を医療用X線検出装置に利用する場合、より少ないX線線量で、良質の画像を得ることができるようになった。さらに入射した光は半導体層で完全に吸収されるので、実質的に薄膜トランジスタは完全に遮光された形になり、光入射による薄膜トランジスタのリーク電流増加はなくなった。その結果クロストークを低減し、良質な画像を得ることができた。

【0093】さらに本実施例ではITOを用いたが、実施例2のようにさらにITOの成膜とパターニングの工程をなくし、簡略化されたプロセスを実現することもできる。本実施例の構造と製造方法により製造上コストの上昇を抑えつつ、より高品質な光電変換装置を作製することができた。

【0094】本実施例では、N⁺型水素化微結晶シリコン405をセンサと薄膜トランジスタで兼用する構成をとったが、薄膜トランジスタの構造を電子ではなくホールを利用する構造として、P⁺型水素化微結晶シリコ

ンをセンサと共用する構成とすることもできる。また十分な特性を得られるならば、これら水素化微結晶シリコンを用いることに限定されない。

【0095】【実施例4】本実施例ではMIS型センサと薄膜トランジスタを組み合わせた2次元の光電変換装置に本発明を適用した場合を示す。

【0096】【構成】図5(a)は光電変換装置の1画素分の平面図を示す。図5(b)は図5(a)のA-Bの断面図を示す。

【0097】図5において、501はガラス基板、502はゲート電極、503はゲート絶縁膜、504、507は半導体層、505、509はN⁺型層、506、510は層間絶縁層、508は絶縁層、511は共通配線、512は信号線、S11は光電変換素子、T11は薄膜トランジスタ、SIGは信号線、gnはゲート線である。

【0098】本実施例では薄膜トランジスタを作製した基板上にMIS型センサを積層する。このとき、薄膜トランジスタのN⁺型層505でMIS型センサの下電極をも構成する。

【0099】金属層の成膜とパターニングは2回行えばよい。

【0100】図5中、MIS型光電変換素子の509は、N⁺型水素化微結晶シリコン層であり、窓層として機能している。後述するように、このN⁺型水素化微結晶シリコン層は注入阻止層(ブロッキング層)、電極層としても機能している。また半導体層については、適宜非単結晶シリコンあるいはその化合物などから材料を選んで作成することができる。

【0101】図6はこの光電変換装置1画素の等価回路を示す。MIS型光センサS11、スイッチング部としての薄膜トランジスタT11で構成されている。さらにSIGは信号配線である。g1は薄膜トランジスタのゲート線、D、GはそれぞれMIS型センサの上電極、下電極を示す。Cgs、Cgdは薄膜トランジスタのゲート電極とソース電極、ドレイン電極との重なりによる容量である。光によりS11で発生した電荷は、薄膜トランジスタT11を通して、Cgs、Cgdに蓄えられたのち、不図示の読み出し回路で、この電荷を読み出す。ここでは1ビットについての場合であるが、実際にはこのCgs、Cgdは、このゲート線につながった他の薄膜トランジスタのものとの合計である。このように蓄積容量はCgs、Cgdを利用している。

【0102】次にMIS型センサの動作説明を、図7を用いて行う。図7(a)、(b)はそれぞれリフレッシュモード、光電変換モードの動作を示す光電変換素子のエネルギーバンド図である。図中の1~5は各層の厚さ方向の状態を示している。

【0103】リフレッシュモード(a)において、D電極はG電極に対して負の電位が与えられているために、

イントリンシック水素化非晶質シリコン層3内の黒丸で示されたホールは電界によりD電極に導かれる。同時に白丸で示された電子はイントリンシック水素化非晶質シリコン層3に注入される。このとき一部のホールと電子は N^+ 型水素化微結晶シリコン層2、イントリンシック水素化非晶質シリコン層3中において再結合して消滅する。十分に長い時間この状態が続けば、イントリンシック水素化非晶質シリコン層3内のホールはイントリンシック水素化非晶質シリコン層3から掃き出される。

【0104】この状態で光電変換モード(b)になると、D電極はG電極に対して正の電位が与えられるために、イントリンシック水素化非晶質シリコン層3中の電子は瞬時にD電極に導かれる。しかしホールは N^+ 型水素化微結晶シリコン層2が注入阻止層として働くために、イントリンシック水素化非晶質シリコン層3中に導かれることはない。この状態でイントリンシック水素化非晶質シリコン層3内に光が入射すると、光は吸収され電子、ホール対が発生する。この電子は電界により電極に導かれ、ホールはイントリンシック水素化非晶質シリコン層3内を移動し水素化非晶質窒化シリコン層4の界面に達するが、ここで阻止されイントリンシック水素化非晶質シリコン層3内に留まることになる。このとき電子はD電極に移動し、ホールはイントリンシック水素化非晶質シリコン層3内の水素化非晶質窒化シリコン層4界面に移動するため、素子内の電気的中性を保つために、電流がG電極から流れる。この電流は光により発生した電子、ホール対に対応するので、入射した光に比例する。

【0105】図8に光電変換装置の全体回路を示す。光電変換素子、駆動用薄膜トランジスタ、配線等は同一プロセスにより、同一基板上に形成することができる。回路図中S11～S33は光電変換素子を表している。T11～T33は薄膜トランジスタである。Vsは読みだし用電源、Vgはリフレッシュ用電源であり、それぞれスイッチSWs、SWgを介して全光電変換素子S11～S33の下電極Gに接続されている。スイッチSWsはインバータを介して、スイッチSWgは直接にリフレッシュ制御回路RFに接続されており、リフレッシュ期間はスイッチSWgがON、その他の期間はスイッチSWsがONするように制御されている。信号出力は信号配線SIGにより検出用集積回路ICに接続されている。図8では9個の画素を3個のブロックに分け、1ブロックあたり3画素の出力を同時に転送し、この信号を検出用集積回路によって順次出力に変換され出力される。説明しやすいように9画素の2次元画像入力部としたが、実際にはさらに高密度の画素構成となっている。たとえば画素サイズを $150\mu m$ 角の大きさと、 $20cm$ 角の光電変換装置を作成した場合、画素数はおよそ180万画素となる。

【0106】〔製造方法〕このような光電変換装置を以

下の製造工程により作製した。

【0107】1. 洗浄ガラス基板(図5の501)上に、スパッタによりクロムを 500\AA 成膜する。このクロム上に所望の形状にフォトリソのパターンを形成して、これをマスクにエッチングを行い、その後フォトリソレジストを剥離洗浄後、各画素の薄膜トランジスタのゲート電極502とした。

【0108】2. 次にこの上に、 SiH_4 ガス、 NH_3 ガス、 H_2 ガスを使ってプラズマCVDにより水素化非晶質窒化シリコン層503を形成した。引き続き SiH_4 ガス、 H_2 ガスを使いプラズマCVDにより水素化非晶質シリコン層504を形成した。さらに SiH_4 ガス、 PH_3 ガス、 H_2 ガスを使ってプラズマCVDにより N^+ 型水素化微結晶シリコン層505を形成した。

【0109】3. ホトリソ工程により薄膜トランジスタアイソレーションのフォトリソパターンを作成し、これをマスクにドライエッチングにより水素化非晶質窒化シリコン層、水素化非晶質シリコン層、 N^+ 型水素化微結晶シリコン層を一部除去し、フォトリソ剥離洗浄後アイソレーションを行った。

【0110】4. 然る後、このアルミ上に、所望の形状にフォトリソパターンを形成し、これをマスクに薄膜トランジスタのチャネル部の N^+ 型水素化微結晶シリコン層のエッチングを行い、フォトリソ剥離洗浄後、チャネルを形成した。

【0111】5. 次にこの上に、 SiH_4 ガス、 NH_3 ガス、 H_2 ガスを使ってプラズマCVDにより水素化非晶質窒化シリコン層506を形成した。

【0112】6. ホトリソ工程により薄膜トランジスタ電極、センサ下電極用コンタクトホールのフォトリソパターンを作成し、これをマスクにドライエッチングにより水素化非晶質窒化シリコン層を一部除去し、コンタクトホールを形成した。

【0113】7. この上に、 SiH_4 ガス、 H_2 ガスを使いプラズマCVDにより水素化非晶質シリコン層507を形成した。さらに SiH_4 ガス、 NH_3 ガス、 H_2 ガスを使ってプラズマCVDにより水素化非晶質窒化シリコン層508を形成した。引き続き SiH_4 ガス、 PH_3 ガス、 H_2 ガスを使ってプラズマCVDにより N^+ 型水素化微結晶シリコン層509を形成した。本実施例では N^+ 型水素化微結晶シリコン509が電極層と窓層を兼ね備えている。

【0114】8. ホトリソ工程によりセンサ部アイソレーションのフォトリソパターンを作成し、これをマスクにドライエッチングにより水素化非晶質窒化シリコン層、水素化非晶質シリコン層、 N^+ 型水素化微結晶シリコン層を一部除去し、フォトリソ剥離洗浄後、アイソレーションを行った。

【0115】9. SiH_4 ガス、 NH_3 ガス、 H_2 ガスを使ってプラズマCVDにより層間絶縁層としての水素

化非晶質窒化シリコン層510を5000Å形成した。
 【0116】10. ホトリソ工程によりコンタクトホール用のフォトレジストパターンを作成し、ドライエッチングにより層間絶縁層の水素化非晶質窒化シリコン層を一部除去し、フォトレジスト剥離洗浄後、コンタクトホールの形成を行った。本実施例では、材料の性質により敏感にエッチング特性を制御できるケミカルドライエッチングを用い、コンタクトホールを作製した。水素化非晶質窒化シリコン層とN⁺型層のエッチングの選択性を用いて、センサ上部でのオーバーエッチングを極力減らすことができた。

【0117】11. その上にスパッタ法によりアルミ(A1)を1μm(μm)成膜した。

【0118】12. 然る後、このアルミ(A1)上に、所望の形状にフォトレジストパターンを形成し、これをマスクにエッチングを行い、フォトレジスト剥離洗浄後、センサの共通配線511、信号線512とした。

【0119】13. 最後に保護層(不図示)を設けた。

【0120】〔作用、効果〕本実施例ではセンサとしてMIS型のセンサを薄膜トランジスタ上に積層する。かつ薄膜トランジスタの電極をN⁺型水素化微結晶シリコン層505で代用させ、さらにこのN⁺型水素化微結晶シリコン層505にホトセンサの下電極層の機能を持たせた。

【0121】この構造をとることにより、従来電極としての金属層を3層作成する必要があったのが2層に減らすことができた。

【0122】本実施例はまた、積層型であるので薄膜トランジスタとセンサの最適設計を行うことができるので、特性向上を実現できた。

【0123】これらの構造により、従来50%以下だった開口率は70%以上を確保することができるようになり、その結果、感度は1.4倍以上になった。本実施例においても、薄膜トランジスタ上に延在する半導体層で吸収された光によって発生したキャリアは、センサの光キャリアとして十分利用されているものと思われる。感度が向上したために、この光電変換装置を医療用X線検出装置に利用する場合、より少ないX線線量で、良質の画像を得ることができるようになった。さらに入射した光は半導体層で完全に吸収されるので、実質的に薄膜トランジスタは完全に遮光された形になり、光入射による薄膜トランジスタのリーク電流増加はなくなった。その結果、クロストークを低減し、良質な画像を得ることができた。

【0124】本実施例の構造と製造方法により製造上のコストの上昇を抑えつつ、より高品質な光電変換装置を作製することができた。

【0125】本実施例では、N⁺型水素化微結晶シリコン505をセンサと薄膜トランジスタで兼用する構成をとったが、薄膜トランジスタの構造を電子ではなくホー

ルを利用する構造として、P⁺型水素化微結晶シリコンをセンサと共用する構成とすることもできる。また十分な特性を得られるならば、これら水素化微結晶シリコンを用いることに限定されない。

【0126】〔実施例5〕本実施例ではMIS型センサと薄膜トランジスタを組み合わせた2次元の光電変換装置に本発明を適用した別の例として、工程を簡略化した例を示す。本実施例では実施例3より簡略化されたプロセスになっている。

【0127】〔構成〕図9(a)は光電変換装置の1画素分の平面図を示す。図9(b)は図9(a)のA-Bの断面図を示す。

【0128】図9において、901はガラス基板、902はゲート電極、903はゲート絶縁膜、904、907は半導体層、905、908はN⁺型層、906は絶縁層、909は層間絶縁層、910は共通配線、911は信号線である。

【0129】本実施例は、水素化非晶質窒化シリコン層に接した電極から信号を読み出すようになっている。MIS型光センサS11、光電変換素子駆動部としての薄膜トランジスタT11で構成されている。さらにSIGは信号配線である。g1は薄膜トランジスタのゲート線である。

【0130】また、本実施例の動作は、基本的に実施例4と同様である。

【0131】また、光電変換装置の半導体層、薄膜トランジスタの半導体層には基本的に水素化非晶質シリコンを用いたが、半導体層としては非単結晶シリコンあるいはその化合物などから適宜選択することができる。

【0132】〔製造方法〕このような光電変換装置を以下の製造工程により作製した。

【0133】1. 洗浄ガラス基板(図9の901)上に、スパッタによりクロムを500Å成膜する。このクロム上に所望の形状にフォトレジストのパターンを形成して、これをマスクにエッチングを行い、その後フォトレジストを剥離洗浄後、各画素の薄膜トランジスタのゲート電極902とした。

【0134】2. 次にこの上に、SiH₄ガス、NH₃ガス、H₂ガスを使ってプラズマCVDにより水素化非晶質窒化シリコン層903を形成した。引き続きSiH₄ガス、H₂ガスを使いプラズマCVDにより水素化非晶質シリコン層904を形成した。さらにSiH₄ガス、PH₃ガス、H₂ガスを使ってプラズマCVDによりN⁺型水素化微結晶シリコン層905を形成した。

【0135】3. ホトリソ工程により薄膜トランジスタアイソレーションのフォトレジストパターンを作成し、これをマスクにドライエッチングにより水素化非晶質窒化シリコン層、水素化非晶質シリコン層、N⁺型水素化微結晶シリコン層を一部除去し、フォトレジスト剥離洗浄後、アイソレーションを行った。

【0136】4. 然る後、所望の形状にフォトレジストのパターンを形成し、これをマスクに薄膜トランジスタのチャンネル部のN⁺型水素化微結晶シリコン層905のエッチングを行い、フォトレジスト剥離洗浄後、チャンネルを形成した。

【0137】5. 次にこの上に、SiH₄ ガス、NH₃ ガス、H₂ ガスを使ってプラズマCVDにより水素化非晶質窒化シリコン層906を形成した。本実施例においては、この水素化非晶質窒化シリコン層906は、光電変換素子の絶縁層としての機能と、薄膜トランジスタと光電変換素子との層間絶縁層の機能を持っている。

【0138】次に、SiH₄ ガス、H₂ ガスを使いプラズマCVDにより水素化非晶質シリコン層907を形成した。さらにSiH₄ ガス、PH₃ ガス、H₂ ガスを使ってプラズマCVDによりN⁺型水素化微結晶シリコン層908を形成した。

【0139】本実施例ではN⁺型水素化微結晶シリコン層908がオーミック層と電極層と窓層を兼ね備えている。

【0140】6. ホトリソ工程によりセンサ部アイソレーションのフォトレジストパターンを作成し、これをマスクにドライエッチングにより水素化非晶質窒化シリコン層、水素化非晶質シリコン層、N⁺型水素化微結晶シリコン層を一部除去し、フォトレジスト剥離洗浄後、アイソレーションを行った。

【0141】7. SiH₄ ガス、NH₃ ガス、H₂ ガスを使ってプラズマCVDにより層間絶縁層としての水素化非晶質窒化シリコン層909:5000Åを形成した。

【0142】8. ホトリソ工程によりコンタクトホール用のフォトレジストパターンを作成し、ドライエッチングにより層間絶縁層の水素化非晶質窒化シリコン層909を一部除去し、フォトレジスト剥離洗浄後、コンタクトホールの形成を行った。

【0143】9. その上にスパッタ法によりアルミ(Al)を1μm成膜した。

【0144】10. 然る後、このアルミ(Al)上に、所望の形状にフォトレジストのパターンを形成し、これをマスクにエッチングを行い、フォトレジスト剥離洗浄後、センサの共通配線910、信号線911とした。

【0145】11. 最後に保護層(不図示)を設けた。

【0146】[作用、効果] 本実施例では薄膜トランジスタを作製した基板上にMISセンサを積層する。このとき、薄膜トランジスタのN⁺型微結晶シリコン層905でMIS型センサの下電極をも構成する。金属層の成膜とパターニングは2回行えばよい。さらにセンサのホールと電子のブロッキング層である水素化非晶質窒化シリコン層906を薄膜トランジスタとの層間絶縁膜としても利用することにより、実施例3より水素化非晶質窒化シリコン層を成膜する回数とパターニングの回数を一

回減少させることができた。

【0147】本実施例ではセンサとしてMIS型のセンサS11を薄膜トランジスタT11上に積層する。かつ薄膜トランジスタの電極をN⁺型水素化微結晶シリコン層905で代用させ、さらにこのN⁺型微結晶シリコン層905をセンサの下電極層の機能を持たせた。この構造をとることにより、従来電極としての金属層を3層作成する必要があったのが2層に減らすことができ、また積層型であるので薄膜トランジスタとセンサの最適設計を行うことができるので、特性向上を実現できた。

【0148】これらの構造により、従来50%以下だった開口率は70%以上を確保することができるようになり、その結果、感度は1.4倍以上になった。本実施例においても、薄膜トランジスタ上に延在する半導体層907で吸収された光によって発生したキャリアは、センサの光キャリアとして十分利用されているものと思われる。感度が向上したために、この光電変換装置を医療用X線検出装置に利用する場合、より少ないX線線量で、良質の画像を得ることができるようになった。さらに入射した光は半導体層907で完全に吸収されるので、実質的に薄膜トランジスタは完全に遮光された形になり、光入射による薄膜トランジスタのリーク電流増加はなくなった。その結果、クロストークを低減し、良質な画像を得ることができた。

【0149】本実施例の構造と製造方法により製造上のコストの上昇を抑えつつ、より高品質な光電変換装置を作製することができた。

【0150】本実施例ではN⁺型水素化微結晶シリコン層905をセンサと薄膜トランジスタで兼用する構成をとったが、薄膜トランジスタの構造を電子ではなくホールを利用する構造として、P⁺型水素化微結晶シリコンをセンサと共用する構成とすることもできる。また十分な特性を得られるならば、これら水素化微結晶シリコンを用いることに限定されない。

【0151】[実施例6] 本実施例ではショットキー型ホトダイオードセンサと薄膜トランジスタを組み合わせた2次元の光電変換装置に本発明を適用した別の例を示す。

【0152】[構成] 図10(a)は光電変換装置の1画素分の平面図を示す。図10(b)は図10(a)のA-Bの断面図を示す。センサS11、スイッチング部としての薄膜トランジスタT11で構成されている。さらにSIGは信号配線である。g1は薄膜トランジスタのゲート線である。

【0153】図10において、1001はガラス基板、1002はゲート電極、1003はゲート絶縁膜、1004、1007は半導体層、1005はN⁺型層、1006、1009は層間絶縁層、1008はITO、1010は共通配線、1011は信号線、S11は光電変換素子、T11は薄膜トランジスタ、SIGは信号線、g

1はゲート線である。

【0154】本実施例の動作は、基本的に実施例1、2、3のホトダイオード型センサを用いた場合と同様である。ただしショットキー接合を用いる構造にすると、より簡単な構造で光電変換装置を作成することができ、さらに本発明の構造を用いることにより、いっそう簡単な構造となり、さらに特性向上を実現することができた。

【0155】本実施例の光電変換素子の半導体層1007、薄膜トランジスタの半導体層1004としては、水素化非晶質シリコン層を用いたが、半導体層としては、非単結晶シリコンあるいは、その化合物などから適宜選択できる。

【0156】〔製造方法〕このような光電変換装置を以下の製造工程により作製した。

【0157】1. 洗浄ガラス基板上(図10の1001)に、スパッタによりクロムを500Å成膜する。このクロム上に所望の形状にフォトレジストのパターンを形成して、これをマスクにエッチングを行い、その後フォトレジストを剥離洗浄後、各画素の薄膜トランジスタのゲート電極1002とした。

【0158】2. 次にこの上に、 SiH_4 ガス、 NH_3 ガス、 H_2 ガスを使ってプラズマCVDにより水素化非晶質窒化シリコン層1003を形成した。引き続き SiH_4 ガス、 H_2 ガスを使いプラズマCVDにより水素化非晶質シリコン層1004を形成した。さらに SiH_4 ガス、 PH_3 ガス、 H_2 ガスを使ってプラズマCVDにより N^+ 型水素化微結晶シリコン層1005を形成した。

【0159】3. ホトリソ工程により薄膜トランジスタアイソレーションのフォトレジストパターンを作成し、これをマスクにドライエッチングにより水素化非晶質窒化シリコン層、水素化非晶質シリコン層、 N^+ 型水素化微結晶シリコン層を一部除去し、フォトレジスト剥離洗浄後、アイソレーションを行った。

【0160】4. 然る後、所望の形状にフォトレジストのパターンを形成し、これをマスクに薄膜トランジスタのチャネル部の N^+ 型水素化微結晶シリコン層のエッチングを行い、フォトレジスト剥離洗浄後、チャネルを形成した。

【0161】5. 次にこの上に、 SiH_4 ガス、 NH_3 ガス、 H_2 ガスを使ってプラズマCVDにより水素化非晶質窒化シリコン層1006を3000Å形成した。

【0162】6. ホトリソ工程により薄膜トランジスタ電極、センサ下電極用コンタクトホール用のフォトレジストパターンを作成し、これをマスクにドライエッチングにより水素化非晶質窒化シリコン層を一部除去し、コンタクトホールを形成した。

【0163】7. この上に、 SiH_4 ガス、 H_2 ガスを使いプラズマCVDにより水素化非晶質シリコン層10

07:8000Å形成した。さらにITO:1008を連続で蒸着により形成し、ITO:1008と水素化非晶質シリコン層1007の界面でショットキー接合を形成した。

【0164】8. ホトリソ工程によりセンサ部アイソレーションのフォトレジストパターンを作成し、これをマスクにエッチングにより水素化非晶質シリコン層、ITOを一部除去し、フォトレジスト剥離洗浄後、アイソレーションを行った。

【0165】9. SiH_4 ガス、 NH_3 ガス、 H_2 ガスを使ってプラズマCVDにより層間絶縁層としての水素化非晶質窒化シリコン層1009を5000Å形成した。

【0166】10. ホトリソ工程によりコンタクトホール用のフォトレジストパターンを作成し、ドライエッチングにより層間絶縁層の水素化非晶質窒化シリコン層1009を一部除去し、フォトレジスト剥離洗浄後、コンタクトホールの形成を行った。本実施例では、材料の性質により敏感にエッチング特性を制御できるケミカルドライエッチングを用い、コンタクトホールを作製した。水素化非晶質窒化シリコン層と N^+ 型層、ITOとのエッチングの選択性を用いて、センサ上部でのオーバーエッチングを極力減らすことができた。

【0167】11. その上にスパッタ法によりアルミ(Al)を1μm成膜した。

【0168】12. 然る後、このアルミ(Al)上に、所望の形状にフォトレジストパターンを形成し、これをマスクにエッチングを行い、フォトレジスト剥離洗浄後、センサの共通配線1010、信号線1011とした。

【0169】13. 最後に保護層(不図示)を設けた。

【0170】〔作用、効果〕本実施例では薄膜トランジスタを作製した基板上にショットキーセンサを積層する。このとき、薄膜トランジスタの N^+ 型水素化微結晶シリコン層1005でショットキー型センサの下電極をも構成する。その結果、金属層の成膜とパターンニングは2回行えばよいことになる。

【0171】この構造をとることにより、従来、電極としての金属層を3層作成する必要があったのが2層に減らすことができた。

【0172】本実施例はまた、積層型であるので薄膜トランジスタとセンサの最適設計を行うことができるため、特性向上を実現できた。

【0173】これらの構造により、従来50%以下だった開口率は70%以上を確保することができるようになり、その結果、感度は1.4倍以上になった。本実施例においても、薄膜トランジスタ上に延在する半導体層1007で吸収された光によって発生したキャリアは、センサの光キャリアとして十分利用されているものと思われる。感度が向上したために、この光電変換装置を医療

用X線検出装置に利用する場合、より少ないX線線量で、良質の画像を得ることができるようになった。さらに入射した光は半導体層1007で完全に吸収されるので、実質的に薄膜トランジスタは完全に遮光された形になり、光入射による薄膜トランジスタのリーク電流増加はなくなった。その結果、クロストークを低減し、良質な画像を得ることができた。

【0174】本実施例の構造と製造方法により製造上のコストの上昇を押さえつつ、より高品質な光電変換装置を作製することができた。

【0175】本実施例では、N⁺型水素化微結晶シリコン1005をセンサと薄膜トランジスタで兼用する構成をとったが、薄膜トランジスタの構造を電子ではなくホールを利用する構造として、P⁺型水素化微結晶化シリコンをセンサと共用する構成とすることもできる。また十分な特性を得られるならば、これら水素化微結晶シリコンを用いることに限定されない。

【0176】

【発明の効果】本発明によれば、光の利用を最大限にするため、センサ部を転送部の上に積層し画素一杯の面積を窓として利用することで開口率を向上することができる。

【0177】また、薄膜トランジスタ部では、センサ部の半導体層を遮光材として兼用し、同一のプロセスで作製でき、効果的に安価に実現できる。

【0178】また、共通の半導体層をセンサと薄膜トランジスタの電極に適用し、工程の簡略化を行うことで上記作用を効果的に安価に実現できる。

【図面の簡単な説明】

【図1】本発明になる第1の実施例を示す図であり、(a)は1画素の平面図、(b)はA-Bでの断面図である。

【図2】本発明になる第1の実施例である光電変換装置の1画素の等価回路である。

【図3】本発明になる第2の実施例を示す図であり、(a)は1画素の平面図、(b)はA-Bでの断面図である。

【図4】本発明になる第3の実施例を示す図であり、(a)は1画素の平面図、(b)はA-Bでの断面図である。

【図5】本発明になる第4の実施例を示す図であり、(a)は1画素の平面図、(b)はA-Bでの断面図である。

【図6】本発明になる第4の実施例である光電変換装置の1画素の等価回路である。

【図7】MIS型センサの動作を説明する図である。

【図8】本発明になる第1の実施例での2次元光電変換装置の全体回路を示す。

【図9】本発明になる第5の実施例を示す図であり、(a)は1画素の平面図、(b)はA-Bでの断面図である。

【図10】本発明になる第6の実施例を示す図であり、(a)は1画素の平面図、(b)はA-Bでの断面図である。

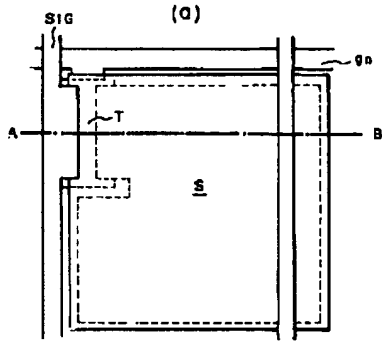
【図11】従来例を示す図であり、(a)は1画素の平面図、(b)はA-Bでの断面図である。

【図12】その他の従来例を示す図であり、(a)は1画素の平面図、(b)はA-Bでの断面図である。

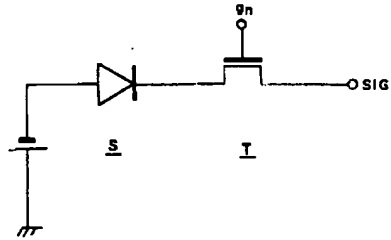
【符号の説明】

101, 301, 401, 501, 901, 1001, 1101, 1201 ガラス基板
S, S11 光電変換素子
T, T11 薄膜トランジスタ
SIG, 112, 311, 413, 512, 911, 1011 信号線
111, 310, 412, 511, 910, 1010, 1208 共通配線
gn, g, g1 ゲート線
103, 303, 403, 503, 903, 1003, 1104, 1210 ゲート絶縁膜
104, 304, 307, 404, 504, 507, 904, 907, 1004, 1007, 1105, 1211, 1204 半導体層
906, 1109 絶縁層
108, 308, 409, 1205 P⁺型層
105, 305, 405, 407, 505, 509, 905, 908, 1106, 1212, 1203 N⁺型層
1108, 1214 ソース電極
1107, 1213 ドレイン電極
1102, 1202 センサ下電極
109, 410, 1008, 1206 ITO
106, 110, 306, 309, 406, 411, 506, 510, 909, 1006, 1009, 1207 層間絶縁層
102, 302, 402, 502, 902, 1002, 1103 ゲート電極
Cgs, Cgd 配線容量
RF 交流電源
SR1, SR2 駆動スイッチIC

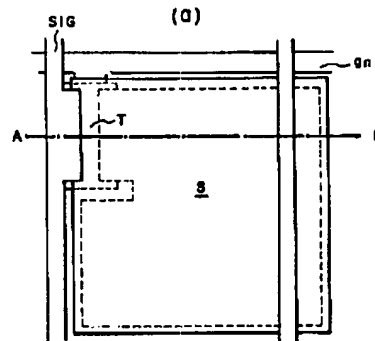
【図1】



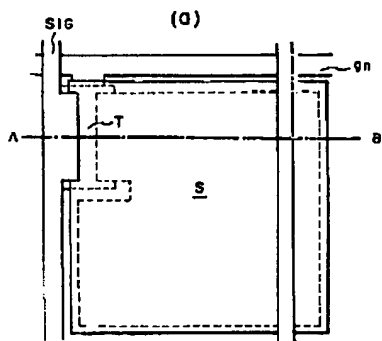
【図2】



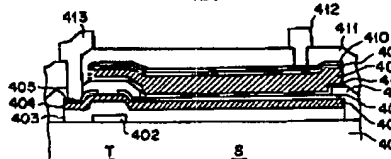
【図4】



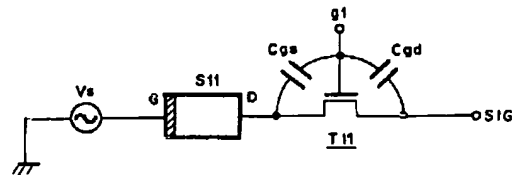
【図3】



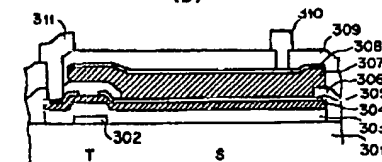
(b)



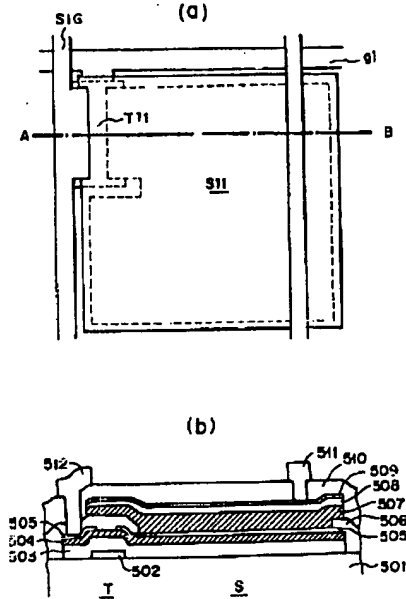
【図6】



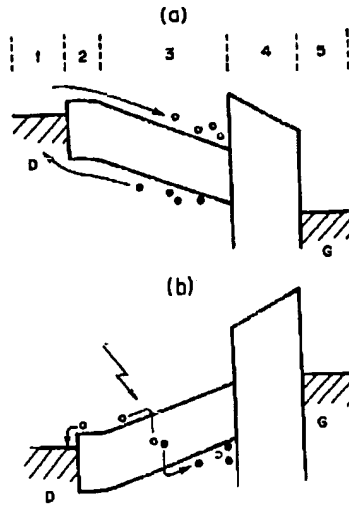
(b)



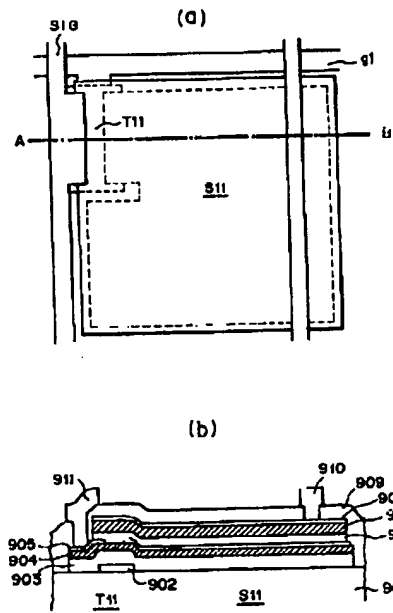
【図5】



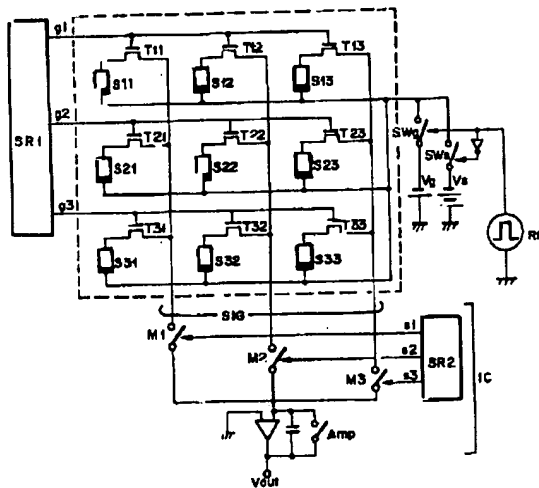
【図7】



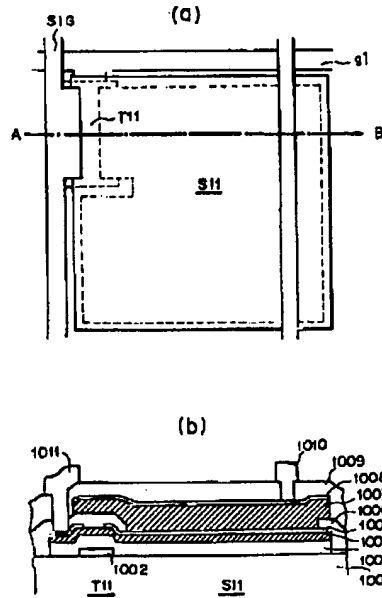
【図9】



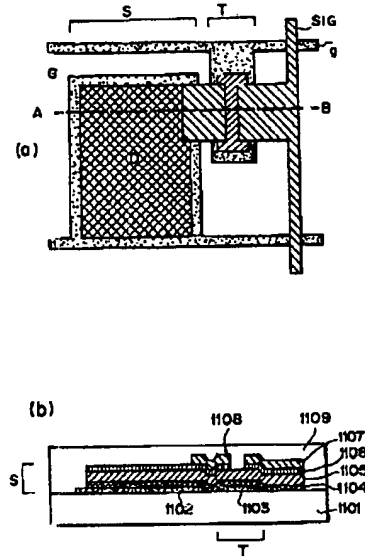
【図8】



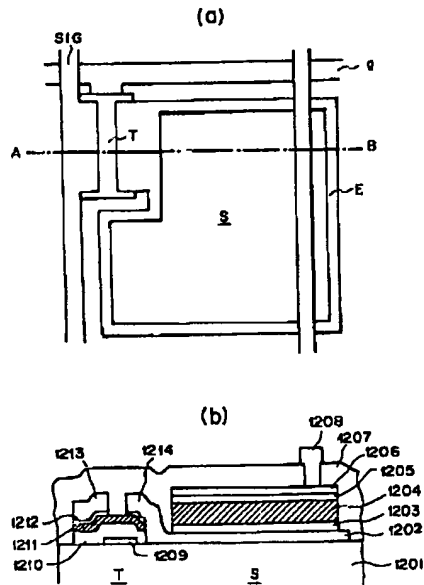
【図10】



【図11】



【図12】



フロントページの続き

(51)Int. Cl.⁷

H04N 5/335

識別記号

F I

H01 L 31/10

(参考)

C

(表7) 100-156522 (P2000-156522A)

Fチーム(参考) 4M118 AA01 AA05 AA10 AB10 BA05
BA07 BA14 CA05 CA06 CA07
CB05 CB06 CB14 EA01 FB09
FB13 GA10
5C024 AA01 CA12 FA01 GA01 GA02
GA51
5C051 AA01 BA03 BA04 DA06 DB01
DB04 DB06 DB08 DC02 FA00
5F049 MA04 MA05 MB03 MB04 MB05
NA01 NA04 NA20 NB03 NB10
PA01 PA14 RA06 SE02 SE05
SE09 SE11 SS01 UA14 WA03
WA07
5F088 AA03 AA04 AB03 AB04 AB05
BA01 BA03 BB07 CA02 EA04
EA08 FA02 FA09 HA10 LA07
LA08

100-156522 (P2000-156522A)

THIS PAGE BLANK (USPTO)